

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

W0167

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317916

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H04N 5/60  
H04N 5/60  
H04N 5/765  
H04N 5/781  
H04N 7/04  
H04N 7/045  
H04N 7/24

(21)Application number : 10-124916

(71)Applicant : SONY CORP

(22)Date of filing : 07.05.1998

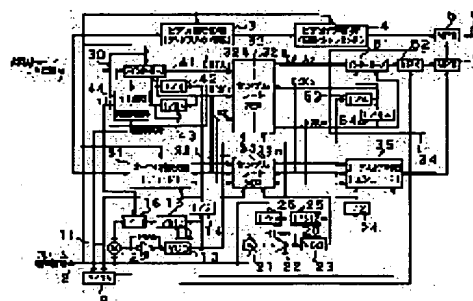
(72)Inventor : NAKAMURA SHINJI  
NAKADA SHINGO  
HIRASAWA YUJI

## (54) DIGITAL SIGNAL CONVERTER

## (57)Abstract:

PROBLEM TO BE SOLVED: To prevent sound quality degradation, to prevent the converter configuration from being large and the cost from being increased by easily synchronizing a digital audio signal that is asynchronously with a video signal with the video signal.

SOLUTION: The converter is provided with an input clock generating circuit 10 that generates an input clock signal from an audio signal asynchronously with a video signal, an output clock signal generating circuit 20 that generates an output clock signal, based on a frame reference signal, CH1, CH2 audio signal processing circuits 30, 31 that apply de-interleave processing to the audio signal, based on the input clock signal, sample rate conversion circuits 32, 33 that use the input clock signal for the input reference clock and uses an output clock for an output reference clock, and CH1, CH2 audio signal processing circuits 34, 35 that apply interleave processing or the like, based on the output clock signal to the audio signal after rate conversion.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

W0167

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-317916

(43)公開日 平成11年(1999)11月16日

(51)Int.Cl. <sup>9</sup>	識別記号	F I	
H 0 4 N 5/60	1 0 1	H 0 4 N 5/60	Z
5/765		5/781	1 0 1
5/781		7/04	5 1 0 H
7/04		7/13	1 0 1

審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く

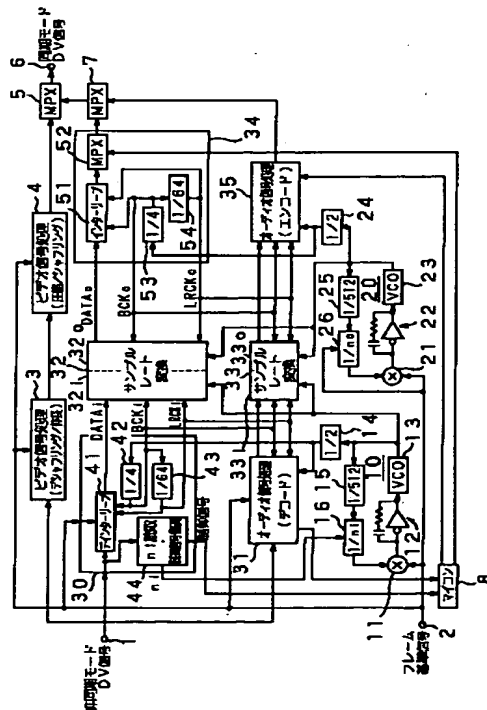
(21)出願番号	特願平10-124916	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番 35 号
(22)出願日	平成10年(1998) 5 月 7 日	(72)発明者	中村 晋治 東京都品川区北品川 6 丁目 7 番 35 号 ソニ ー株式会社内
		(72)発明者	中田 眞吾 東京都品川区北品川 6 丁目 7 番 35 号 ソニ ー株式会社内
		(72)発明者	平澤 裕司 東京都品川区北品川 6 丁目 7 番 35 号 ソニ ー株式会社内
		(74)代理人	弁理士 小池 晃 (外 2 名)

#### (54)【発明の名称】 デジタル信号変換装置

#### (57)【要約】

【課題】 ビデオ信号に非同期のデジタルオーディオ信号を、ビデオ信号に容易に同期させ、音質劣化の防止と、装置構成の大型化及びコスト上昇を抑える。

【解決手段】 ビデオ信号に非同期のオーディオ信号から入力クロック信号を生成する入力クロック発生回路 10 と、フレーム基準信号に基づいて出力クロック信号を生成する出力クロック信号発生回路 20 と、オーディオ信号に対し入力クロック信号に基づくデインターリーブ処理を施す入力 CH1, CH2 オーディオ信号処理回路 30, 31 と、入力クロック信号を入力基準クロックとし出力クロックを出力基準クロックとするサンプルレート変換回路 32, 33 と、レート変換後のオーディオ信号に対し、出力クロック信号に基づくインターリーブ処理等を施す出力 CH1, CH2 オーディオ信号処理回路 34, 35 とを有する。



## 【特許請求の範囲】

【請求項1】 第1のデジタル信号に非同期の第2のデジタル信号から第1のクロック信号を生成する第1のクロック信号生成手段と、

上記第1のデジタル信号の基準信号に基づいて第2のクロック信号を生成する第2のクロック信号生成手段と、

上記第1のデジタル信号に非同期の第2のデジタル信号に対し、上記第1のクロック信号に基づく第1の信号処理を施す第1の信号処理手段と、

上記第1のクロック信号を入力基準クロックとし、上記第2のクロック信号を出力基準クロックとして、上記第1の信号処理後の第2のデジタル信号にレート変換を施すレート変換手段と、

上記レート変換後の第2のデジタル信号に対し、上記第2のクロック信号に基づく第2の信号処理を施す第2の信号処理手段とを有することを特徴とするデジタル信号変換装置。

【請求項2】 上記第1のデジタル信号と上記第2の信号処理後の第2のデジタル信号とを多重化する多重化手段を設けることを特徴とする請求項1記載のデジタル信号変換装置。

【請求項3】 上記第1の信号処理手段は、インターリーブされている第2のデジタル信号をデインターリーブするデインターリーブ手段を少なくとも有し、

上記第2の信号処理手段は、デインターリーブされて上記レート変換された第2のデジタル信号をインターリーブするインターリーブ手段を少なくとも有することを特徴とする請求項1記載のデジタル信号変換装置。

【請求項4】 上記第1のデジタル信号に非同期の第2のデジタル信号から、所定の制御信号を取り出す制御信号取り出し手段と、

上記レート変換後の第2のデジタル信号に上記制御信号を付加する制御信号付加手段を備えることを特徴とする請求項1記載のデジタル信号変換装置。

【請求項5】 上記第1のデジタル信号に非同期の第2のデジタル信号から、所定の制御信号を取り出す制御信号取り出し手段と、

上記制御信号に対して変更を加え、レート変換後の第2のデジタル信号に上記変更後の制御信号を付加する制御信号付加手段を備えることを特徴とする請求項1記載のデジタル信号変換装置。

【請求項6】 上記第2のデジタル信号は複数チャネルからなり、

上記第1の信号処理手段とレート変換手段と第2の信号処理手段を、上記複数チャネルに対応して複数設けることを特徴とする請求項1記載のデジタル信号変換装置。

【請求項7】 上記第2の信号処理手段は、上記チャネル数を変更するチャネル数変更手段を含むことを特徴と

する請求項6記載のデジタル信号変換装置。

【請求項8】 上記第1のデジタル信号及び第2のデジタル信号は、IEEE1394規格に準拠したデジタルビデオ信号及びデジタルオーディオ信号であることを特徴とする請求項1記載のデジタル信号変換装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えばいわゆるIEEE1394規格のデジタルビデオ信号に非同期のデジタルオーディオ信号を、デジタルビデオ信号に同期したデジタルオーディオ信号に変換するようなデジタル信号変換処理を行うデジタル信号変換装置に関する。

## 【0002】

【従来の技術】 デジタル信号の伝送規格としては、例えばIEC (International Electrotechnical Commission: 国際電気技術標準機関) やIEEE (Institute of Electrical and Electronics Engineers: 米国電気電子技術者協会) による規格など、多数の規格が存在する。このなかで例えばIEEE1394規格は、デジタルビデオレコーダ同士の接続やデジタルビデオカメラとコンピュータとの間の接続といったマルチメディア用途に向くものとして注目されている。

【0003】 上記IEEE1394規格について説明する。なお、以下の説明ではIEEE1394規格を単に1394規格と呼ぶ。

【0004】 1394規格では、2組のツイストペア線を用いて伝送が行われる。その伝送方法は、1方向の伝送にツイストペア線を2組とも使う、いわゆる半2重の通信である。この通信法には、DSコーディングと呼ばれる通信方法が採用されており、これは、ツイストペア線の片側にデータを、他方にストローブと呼ばれる信号を送り、2つの信号の排他的論理和をとることで、受信側でクロックを再現するというものである。

【0005】 1394規格のデータレートは、98.304Mbps (S100)、196.608Mbps (S200)、393.216Mbps (S400) の3種類が定義されており、高速のレートに対応した機器はそれより遅いレートの機器をサポートしなければならない、いわゆる上位互換性が定められている。

【0006】 各機器は、最大26個までのポートを持つことが許されており、各機器のポートを接続することで最大63台までの機器をネットワーク化することができる。1394規格では、その接続時にバスの初期化処理が行われ、複数の機器の接続を行うとツリー構造が自動的に内部にて構成される。その後、各機器のアドレスが自動的に割り振られる。

【0007】 1394規格上では、1台の機器が送信した信号を他の機器が中継することで、ネットワーク内の

全ての機器に同じ内容の信号を伝えることが可能である。そのため、無秩序な送受信を防止するため、各機器は送信を開始する前にバスの使用権を調停する必要がある。バスの使用権を得るためには、先ずバスが開放されるのを待ち、ツリー上の親機に対してバス使用権の要求信号を送る。そして、要求を受けた親機は、さらなる親機に信号を中継し、要求信号は最終的には最上位の親機であるルートにまで達する。ルートは、要求信号を受けると使用許可信号を返し、許可を受けた機器は通信を行うことが可能となる。但し、このとき複数の機器から同時に要求信号が出された場合には、1台にのみ許可信号が与えられ、他の要求は拒否される。

【0008】このように、1394規格上は、バスの使用権を奪い合いながら、複数の機器が1つのバスを時分割多重で使用しているといえる。しかし、ビデオ信号やオーディオ信号などのリアルタイム性を必要とするデータにおいては、一定時間間隔で通信が保証されなければ、データの欠落を起こす可能性がある。そこで、1394規格ではこのようなデータをアイソクロノス (Isocronous) と呼ばれる通信方式を使用して伝送する。すなわち、先のバス初期化の際に管理ノードが選ばれており、アイソクロノス通信で送信する機器は管理ノードから必要な帯域の割り当てを受ける。ルートは125 $\mu$ s毎にサイクルスタートパケットを送信し、帯域の割り当てを受けた機器はサイクルスタートパケットに続けてアイソクロノスパケットを送信する。このような処理を行うことで、帯域の割り当てを受けた機器は、125 $\mu$ s毎に必ず送信する機会を得ることが出来、データの欠落を防止することが可能になる。

【0009】1394規格のアイソクロノス通信を用いて、デジタルビデオレコーダにてデジタルビデオ及びデジタルオーディオ信号を送る際の信号フォーマットを、以下の説明では例えばAVプロトコルと呼ぶことにする。この信号フォーマットでは、ビデオテープ上のビデオ信号 (例えば圧縮されたビデオ信号) やオーディオ信号がDIFブロックと呼ばれる80バイトのブロックデータの集まりとして扱われる。

【0010】テレビジョン標準放送方式の525/60システム (いわゆるNTSC方式) の場合、150DIFブロックで1DIFシーケンスを構成しており、10DIFシーケンスが1ビデオフレームとなっている。アイソクロノス通信では125 $\mu$ s毎に1パケットを伝送しているので、1パケット当たり29.97 $\times$ 10 $\times$ 150 $\times$ 125 $\times$ 10 $-6=5.619$ DIFブロックを伝送すればよく、実際には端数を切り上げて6DIFブロックを1パケットとしている。結果、1ビデオフレーム分のデータは、図9に示すような250パケットにて伝送されることになる。

【0011】1つのアイソクロノスパケットの構造を図10に示す。この図10において、パケットの最初の3

2ビットは、1394規格で規定されたパケットヘッダである。ヘッダCRCの後からデータCRCの前までにあるデータ部は1394規格ではデータフィールドとして定義されている部分であるが、この部分の先頭にオーディオ・ビデオ信号の情報であることを表すためのCIPへと呼ばれるヘッダがこのAVプロトコルでは追加されている。

【0012】CIPヘッダのSYTフィールドは、フレーム同期をかけるためのタイムスタンプである。ビデオ信号の通信ではフレーム同期信号を送る必要があり、そのため1394規格で規定されているサイクルタイムを用いたタイムスタンプをビデオフレームの先頭に送るようになっている。サイクルタイムは、1394規格の基本クロックである24.576MHzを数えるカウンタで、ルートは自分のカウント値をサイクルスタートパケットに入れて送信している。そして、各ノードがそれを自分のサイクルタイムにコピーすることで、サイクルタイムの同期をとっている。

【0013】ビデオ信号を送信する場合、フレームの先頭におけるサイクルタイムの値に、通信の最大ディレイ量を加えた値をSYTとしてCIPヘッダに入れている。これにより、図11に示すように、受信側でサイクルタイムと比較することで最大ディレイ分だけ遅れたフレーム同期信号を生成することが可能になる。

【0014】図12には、上記1394規格のデジタルオーディオ・ビデオ信号を記録/再生及び外部との間で入出力するデジタルビデオレコーダの構成例を示す。

【0015】この図12において、ビデオ入出力端子100とオーディオ入出力端子101は、アナログビデオ信号とアナログオーディオ信号が入出力される端子である。

【0016】A/D変換器、D/A変換器102は、上記ビデオ入出力端子100から入力されたアナログビデオ信号に対してはデジタル化を行い、逆にビデオ圧縮/伸長回路104から供給されるデジタルビデオ信号に対してはアナログ化を行う。また、A/D変換器、D/A変換器103は、上記オーディオ入出力端子101から入力されたアナログオーディオ信号に対してはデジタル化を行い、逆にオーディオインターリーブ/デインターリーブ回路105から供給されるデジタルオーディオ信号に対してはアナログ化を行う。

【0017】ビデオ圧縮/伸長回路104は、A/D変換器102から入力されたデジタルビデオ信号に対しては圧縮処理を施し、逆にマルチプレクサ/デマルチプレクサ (MPX/DMPX) 106から供給される圧縮デジタルビデオ信号に対しては伸長処理を施す。また、オーディオインターリーブ/デインターリーブ回路105は、A/D変換器103から入力されたデジタルオーディオ信号に対してはインターリーブ処理を施

し、逆にマルチプレクサ/デマルチプレクサ106から供給されるインターリーブが施されたデジタルオーディオ信号に対してはデインターリーブ処理を施す。

【0018】マルチプレクサ/デマルチプレクサ106は、ビデオ圧縮/伸長回路104からの圧縮デジタルビデオ信号とオーディオインターリーブ/デインターリーブ回路105からのインターリーブされたデジタルオーディオ信号を多重化(マルチプレクス)し、逆に、多重化されたデータが供給されたときには当該多重化データから圧縮デジタルビデオ信号とインターリーブされたデジタルオーディオ信号を分離(デマルチプレクス)する。

【0019】記録再生信号処理(FEC)回路107は、上記多重化データに対して誤り訂正符号を付加した後に変調して記録信号を生成して磁気ヘッド108に送り、逆に磁気ヘッド108によって磁気テープから再生された再生信号に対しては復調を行った後に誤り訂正処理する。

【0020】デジタルインターフェイスブロック109は、制御マイクロコンピュータ(マイコン)110の制御の元で、外部のコンピュータや他のデジタルビデオレコーダとの間で1394規格に準拠したインターフェイス用信号処理を行うブロックである。リンク(LINK)回路111は、上記マルチプレクサ/デマルチプレクサ106或いは記録再生信号処理回路107から供給された多重化データに対して1394規格のリンクレイヤと前記AVプロトコルの処理を行う。中継(PHY)回路112は、バスの初期化や使用権の調停、他の機器の信号中継などを行う。制御マイクロコンピュータ110は、これらリンク回路111、中継回路112のコントロールとアイソクロノス通信の帯域取得、リミットマネージャとしてバスの管理などを行っている。

【0021】ここで、上記1394規格におけるデジタルビデオ信号及びデジタルオーディオ信号のフォーマットは、DVフォーマットとも呼ばれているが、このDVフォーマットには、さらに後述するDVCAMフォーマットも含まれている。

【0022】上記DVCAMフォーマットはDVフォーマットに含まれるため、基本的には同じ仕様となっているが、特にオーディオ信号に注目した場合、DVフォーマットとDVCAMフォーマットとの間には以下のような点が異なっている。

【0023】すなわち、上記1394規格におけるデジタルオーディオ信号の信号フォーマットは、図13に示すように、同期信号が配されるシンクエリア、識別情報が配されるIDコードエリア、オーディオ補助データが配されるAAUXエリア、実際のデジタルオーディオ信号が配されるオーディオデータエリア、アウトパリティエリア、インパリティエリアからなるが、上記DVフォーマットでは、上記オーディオデータエリア

に配されるデジタルオーディオ信号として、図14に示すように、テレビジョン標準放送方式の525/60システム(NTSC方式)と625/50システム(PAL方式)のそれぞれについて、サンプリング周波数が48kHz、44.1kHz、32kHz、32kHzの4チャンネルの各モードが存在し、これら各モードのオーディオ信号はビデオ信号と非同期になっている。また、これら525/60システムと625/50システムの各モードにおいては、1フレーム当たりのサンプル数(バイト)の許容範囲が定められており、その許容範囲として約1%程度の誤差(すなわちサンプリング周波数の許容周波数偏差として約1%程度)が許されている。例えば、525/60システムの32kHz4チャンネルモードを例に挙げると、1フレーム当たりのサンプル数(バイト)として、最大で1080サンプル(3240バイト)、最小で1053サンプル(3159バイト)、平均で1067.73サンプル(3203.2バイト)となされる。

【0024】これに対して、DVCAMフォーマットは、例えばデジタルビデオテープレコーダを内蔵したビデオカメラ等に使用されるフォーマットとして特に設けられているものであり、サンプリング周波数をロックし、図15及び図16に示すように、1フレーム内のオーディオサンプリング数をフレーム毎に固定にするとともに、各フレーム毎にそのサンプル数の情報を伝送するものである。すなわち、当該DVCAMフォーマットは、図15に示すように、525/60システムと625/50システムのそれぞれについて、サンプリング周波数が48kHz、32kHzの4チャンネルの各モードが存在し、例えば、525/60システムの48kHzモードでは第1フレームが1600サンプルで、第2～第5フレームが1602サンプルとなる。以下同様に、525/60システムの32kHz4チャンネルモードでは第1フレームと第8フレームが1066サンプルで、第2～第7と第9～第15フレームが1068サンプルとなり、625/50システムの48kHzモードでは全てのフレームが1920サンプルとなり、625/60システムの32kHz4チャンネルモードでは全てのフレームが1280サンプルとなる。また、当該DVCAMフォーマットでは、525/60システムと625/50システムの48kHzと32kHzの4チャンネルの各モードにおいて、オーディオ信号のサンプリング周波数(fs)と水平ビデオ周波数(fH)の関係は、図16に示すように固定、すなわち同期するようになされている。

【0025】なお、図13に示したオーディオ信号フォーマットのオーディオ補助データ(AAUX)エリアには、図17に示すように複数の補助データが規定されている。これらのデータは既に規格として知られているものであるため、当該補助データのうち、主要なもののみ

簡単に説明する。図中のAF SIZEにて示すエリアには図17に示すような1フレーム中のオーディオサンプル数（オーディオサンプルサイズ）の情報が配され、図中AUDIO MODEにて示すエリアには前記モードを表す情報が配され、図中CHNにはチャンネルを表す情報が、図中SMPにて示すエリアにはサンプリング周波数を表す情報が、図中EFにて示すエリアには後述するエンファシス／ディエンファシス処理のためのエンファシスフラグが配され、さらに図中CGMSにて示すエリアには著作権に関する情報が配される。また、525/60システム及び625/50システムの32kHzと44.1kHz、48kHzの各モードにおいて、チャンネルCH1とチャンネルCH2のAF SIZEの差は図18に示す範囲を越えないことが規定されている。

#### 【0026】

【発明が解決しようとする課題】 上述したように、DVフォーマットではデジタルオーディオ信号とデジタルビデオ信号が非同期であるのに対して、DVCAMフォーマットではデジタルオーディオ信号とデジタルビデオ信号が同期している。

【0027】ところで、上記DVフォーマットやDVCAMフォーマットのようなデジタルビデオ信号とデジタルオーディオ信号とからなる信号において、例えば特にデジタルオーディオ信号に対して任意の編集操作を施し、当該編集後のデジタルオーディオ信号をデジタルビデオ信号と共に記録媒体に記録するようなことを考えるとする。なお、当該編集の一例としては、ビデオテープ等の記録媒体に既に記録されているオーディオ信号のレベルを次第に絞っていくような編集、すなわち例えば先行ヘッドによってビデオテープから再生したオーディオ信号に対して次第にレベルを減少させるようなデジタル係数を乗じ、その後、ビデオ信号と多重化して主ヘッドによってビデオテープに記録し直すような編集などが考えられる。

【0028】このような編集操作の場合、上記DVCAMフォーマットのようにデジタルビデオ信号とデジタルオーディオ信号が同期していれば、当該オーディオ信号のサンプル数がビデオ信号のフレームの区切りと合うことになるので（すなわち同期している）、信号処理が容易で且つ回路規模も少なく済むことになる。

【0029】これに対し、DVフォーマットのようにデジタルビデオ信号とデジタルオーディオ信号が非同期である場合、すなわち当該オーディオ信号のサンプル数がビデオ信号のフレームの区切りに対し、多数の場合の数（図14の最大から最小の各場合）となり、上述したような編集操作をするためには、多数の場合の数の信号処理が必要となり、回路規模が多大となってしまう。

【0030】ここで、デジタルビデオ信号に対して非同期のデジタルオーディオ信号を編集する場合、その最も簡単な実現手法としては、当該デジタルオーディオ

オ信号を一旦アナログオーディオ信号に変換し、さらにこのアナログオーディオ信号を、上記DVCAMフォーマットのようにデジタルビデオ信号に同期したデジタルオーディオ信号に再変換し、その後デジタルビデオ信号と多重化するような手法が考えられる。

【0031】しかし、上述のようにデジタルオーディオ信号を一旦アナログオーディオ信号に変換し、再度デジタルオーディオ信号に変換し直すようなことを行うと、以下のような問題が発生する。

【0032】すなわち、デジタル／アナログ変換器やアナログ／デジタル変換器の特性差により、歪みやノイズ、周波数特性の劣化などが発生し、また、再量子化を行うため、量子化歪みが発生してしまう。このようなノイズ、周波数特性の劣化、歪みが発生すると、音質が劣化してしまう。

【0033】また、デジタル／アナログ変換器、アナログ／デジタル変換器において、総合変換感度が大きすぎると、例えば最大レベル（及び最大レベル付近の大レベル）の信号では過負荷歪みが発生してしまう。逆に、変換感度が小さいと、再量子化の際の量子化ノイズが増加すると共に、信号レベルの低下が生じてしまう。したがって、これらデジタル／アナログ変換、アナログ／デジタル変換の際には、正確なレベル調整が必要になり、特にチャンネル数が多いような場合には各チャンネル毎に正確なレベル調整が必要になってしまう。このような調整のための構成を設けることは、装置のコスト上昇を招く。

【0034】そこで、本発明はこのような状況に鑑みてなされたものであり、例えばIEEE1394規格に準拠したDVフォーマットのように、デジタルビデオ信号に対して非同期のデジタルオーディオ信号を、デジタルビデオ信号に容易に同期させることを可能とし、音質劣化の防止と、装置構成の大型化及びコスト上昇を抑えることを可能にするデジタル信号変換装置を提供することを目的とする。

#### 【0035】

【課題を解決するための手段】 本発明のデジタル信号変換装置は、第1のデジタル信号に非同期の第2のデジタル信号から第1のクロック信号を生成し、第1のデジタル信号の基準信号に基づいて第2のクロック信号を生成し、第1のデジタル信号に非同期の第2のデジタル信号に対して第1のクロック信号に基づく第1の信号処理を施し、第1のクロック信号を入力基準クロックとし第2のクロック信号を出力基準クロックとして第1の信号処理後の第2のデジタル信号にレート変換を施し、レート変換後の第2のデジタル信号に対して第2のクロック信号に基づく第2の信号処理を施すことにより、上述した課題を解決する。

【0036】すなわち、本発明によれば、第1のデジタル信号に非同期の第2のデジタル信号から生成した

第1のクロック信号を、レート変換の入力基準クロックとし、一方、レート変換の出力基準クロックは第1のデジタル信号の基準信号に基づいて生成しているので、第1のデジタル信号に非同期であった第2のデジタル信号を、当該第1のデジタル信号に同期させることができる。

【0037】

【発明の実施の形態】以下、本発明の好ましい実施の形態について、図面を参照しながら説明する。

【0038】本発明のデジタル信号変換装置の一実施の形態の概略構成を図1に示す。

【0039】この実施の形態のデジタル信号変換装置は、DVフォーマットのデジタルビデオ信号とデジタルオーディオ信号とが非同期となっているDV信号

(以下、非同期モードDV信号と呼ぶ)が供給され、当該非同期モードDV信号のデジタルビデオ信号とデジタルオーディオ信号を同期したDV信号(以下、同期モードDV信号と呼ぶ)に変換して出力するものである。

【0040】この図1において、入力端子1には、デジタルビデオ信号とデジタルオーディオ信号が非同期となっている上記非同期モードDV信号が、例えば外部から入力される。また、端子2には前記525/60システム(NTSC方式)の場合は29.97Hz、前記625/50システム(PAL方式)の場合は25Hzとなるフレーム基準信号(ビデオ信号のフレーム基準信号)が供給される。

【0041】上記非同期モードDV信号は、入力ビデオ信号処理回路3と、入力CH1オーディオ信号処理回路30と、入力CH2オーディオ信号処理回路31とに送られる。なお、上記入力CH1オーディオ信号処理回路30と入力CH2オーディオ信号処理回路31は略々同じ構成を有しているため、図1の例では入力CH2オーディオ信号処理回路31の内部構成を省略している。

【0042】上記入力ビデオ信号処理回路3は、上記フレーム基準信号に基づいて、上記非同期モードDV信号に含まれる圧縮及びシャッフルされているビデオ信号をデシャッフルすると共に伸張する。このデシャッフル及び伸張されたビデオ信号は、出力ビデオ信号処理回路4に送られる。出力ビデオ信号処理回路4では、上記入力ビデオ信号処理回路3からのビデオ信号を圧縮すると共にシャッフルする。この圧縮及びシャッフルされたビデオ信号は、マルチプレクサ(MPX)5に送られる。

【0043】一方、上記入力CH1オーディオ信号処理回路30及び入力CH2オーディオ信号処理回路31に供給された非同期モードDV信号は、それぞれ内部のデインターリーブ回路41とni読み取り・制御信号復調回路44に入力される。

【0044】上記デインターリーブ回路41では、上記

非同期モードDV信号においてデジタルビデオ信号と多重化されている前記図13に示したデジタルオーディオ信号を分離し、当該分離したデジタルオーディオ信号に対してデインターリーブ処理や誤り訂正処理等を施し、またオーディオ信号にデータ欠落等のエラーが存在した時に、必要に応じて例えばラグランジェの多項式による高次のデジタル補間を行うものである。当該入力CH1オーディオ信号処理回路30のデインターリーブ回路41にてデインターリーブ処理されたデジタルオーディオ信号(以下、デジタルオーディオ信号DATAiと呼ぶ)は、CH1サンプルレート変換回路32に送られ、入力CH2オーディオ信号処理回路31内のデインターリーブ回路41から出力されたオーディオ信号DATAiは、CH2サンプルレート変換回路33に送られる。

【0045】ni読み取り・制御信号復調回路44では、前記図13のオーディオ信号に付加されている前記図17に示したような各種コード情報を復調し、マイクロコンピュータ(マイコン)8に送ると共に、図2に示すようなni値を上記非同期モードDV信号から読み取り、当該読み取ったni値を分周器8に送る。ここで、上記ni値は、前記サンプリング周波数の各モードのサンプル数に対応した値であり、図2に示すように、525/60システム(NTSC方式)の48kHzモードでは最大1620の値、最小1580の値となり、44.1kHzモードでは最大1489の値、最小1452の値となり、32kHzモードでは最大1080の値、最小1053の値となるものである。また、625/50システム(PAL方式)の48kHzモードでは最大1944の値、最小1896の値となり、44.1kHzモードでは最大1786の値、最小1742の値となり、32kHzモードでは最大1296の値、最小1264の値となるものである。

【0046】マイクロコンピュータ8では、入力CH1オーディオ信号処理回路30及び入力CH2オーディオ信号処理回路31のni読み取り・制御信号復調回路44から供給された、上記図17に示したような各種コード情報を、後述する出力CH1オーディオ信号処理回路34及び出力CH2オーディオ信号処理回路35にそれぞれ送る。

【0047】また、上記CH1サンプルレート変換回路32及びCH2サンプルレート変換回路33は、同じ構成からなるものであり、それぞれが後述する入力クロック発生回路10にて発生される入力動作基準クロックと、入力CH1オーディオ信号処理回路30にて後述するように生成される入力ビットクロックBCKi及び入力サンプリングクロックLRCKiとに基づいて動作する入力レート変換部32i、33iを有すると共に、後述する出力クロック発生回路20にて発生される出力動作基準クロックと、出力CH2オーディオ信号処理回路3

4にて後述するように生成される出力ビットクロックBCK<sub>o</sub>及び出力サンプリングクロックLRCK<sub>o</sub>とに基づいて動作する出力レート変換部32<sub>o</sub>、33<sub>o</sub>を有するものである。

【0048】これらCH1サンプルレート変換回路32及びCH2サンプルレート変換回路33は、それら入力動作基準クロック及び出力基準動作クロックと、入力ビットクロックBCK<sub>i</sub>及び入力サンプリングクロックLRCK<sub>i</sub>と、出力ビットクロックBCK<sub>o</sub>及び出力サンプリングクロックLRCK<sub>o</sub>とに基づいて、上記入力CH1オーディオ信号処理回路30と入力CH2オーディオ信号処理回路31からのデジタルオーディオ信号DATA<sub>i</sub>をそれぞれサンプリングレート変換することにより、上記非同期モードDV信号のデジタルオーディオ信号を、デジタルビデオ信号に同期したデジタルオーディオ信号に変換する。

【0049】上記CH1サンプルレート変換回路32及びCH2サンプルレート変換回路33におけるサンプルレート変換処理によって、デジタルビデオ信号に同期するようになされたデジタルオーディオ信号DATA<sub>o</sub>は、それぞれ対応する出力CH1オーディオ信号処理回路34及び出力CH2オーディオ信号処理回路35のインターリーブ回路51に送られる。なお、上記出力CH1オーディオ信号処理回路34と出力CH2オーディオ信号処理回路35は略々同じ構成を有しているため、図1の例では出力CH2オーディオ信号処理回路35の内部構成を省略している。

【0050】これら出力CH1オーディオ信号処理回路34及び出力CH2オーディオ信号処理回路35では、それぞれ供給されたデジタルオーディオ信号DATA<sub>o</sub>から、DVフォーマットのデジタルオーディオ信号を再構成し、マルチプレクサ(MPX)52に送る。当該マルチプレクサ52では、上記再構成されたデジタルオーディオ信号に前記マイクロコンピュータ8から供給されたコード情報を多重化して出力する。上記出力CH1オーディオ信号処理回路34及び出力CH2オーディオ信号処理回路35から出力されたデジタルオーディオ信号は、マルチプレクサ(MPX)7にて多重化され、前記マルチプレクサ5に送られる。

【0051】このマルチプレクサ5では、上記出力ビデオ信号処理回路4からの圧縮及びシャッフリングされたデジタルビデオ信号と、上記マルチプレクサ7からのデジタルオーディオ信号とを多重化する。このマルチプレクサ5での多重化により生成された同期モードDV信号は、出力端子6から出力されることになる。

【0052】上述した経路はデジタルビデオ信号及びデジタルオーディオ信号の主経路であり、以下に、上記非同期モードDV信号のデジタルビデオ信号とデジタルオーディオ信号を同期させるための経路及び構成について説明する。

【0053】前記端子2に供給されたフレーム基準信号は、入力CH1オーディオ信号処理回路30及び入力CH2オーディオ信号処理回路31内のデインターリーブ回路41と、ビデオ信号処理回路3及び4と、入力クロック発生回路10及び出力クロック発生回路20とに送られる。

【0054】上記入力クロック発生回路10は、上記フレーム基準信号が一方の入力端子に入力される位相比較器11、積分回路12及び電圧制御発振器13、分周器14、15、16を主要構成要素として有するPLL(Phase-Locked Loop)回路であり、上記電圧制御発振器13にて入力クロック信号を生成する。この入力クロック信号は、CH1サンプルレート変換回路32及びCH2サンプルレート変換回路33に入力動作基準クロックとして供給されると共に、分周器14及び分周器15に送られる。

【0055】上記分周器14では、入力クロック信号を1/2に分周し、当該1/2分周クロックを入力CH1オーディオ信号処理回路30及び入力CH2オーディオ信号処理回路31に送る。また、上記分周器15では、入力クロック信号を1/512に分周し、当該1/512分周クロックを分周器16に送る。

【0056】当分周器16には、上記入力CH1オーディオ信号処理回路30の前記n<sub>i</sub>読み取り・制御信号復調回路44にてDV信号から読み取られたn<sub>i</sub>値が供給され、上記分周器15からの1/512分周クロックをさらに1/n<sub>i</sub>に分周する。この分周器16からの1/n<sub>i</sub>分周クロックは上記位相比較器11の他方の入力端子に送られる。

【0057】上記分周器14から入力CH1オーディオ信号処理回路30へ送られた1/2分周クロックは、当該入力CH1オーディオ信号処理回路30内の分周器42に送られる。この分周器42では、上記分周器14からの1/2分周クロックをさらに1/4分周して入力ビットクロックBCK<sub>i</sub>を生成する。この入力ビットクロックBCK<sub>i</sub>は、当該入力CH1オーディオ信号処理回路30内の分周器43及びデインターリーブ回路41に送られると共に、入力CH2オーディオ信号処理回路31とCH1サンプルレート変換回路32及びCH2サンプルレート変換回路33に送られる。

【0058】上記入力CH1オーディオ信号処理回路30内の分周器43では、上記分周器42からの入力ビットクロックBCK<sub>i</sub>をさらに1/64分周して入力サンプリングクロックLRCK<sub>i</sub>を生成する。この入力サンプリングクロックLRCK<sub>i</sub>は、デインターリーブ回路41に送られると共に、入力CH2オーディオ信号処理回路31とCH1サンプルレート変換回路32及びCH2サンプルレート変換回路33に送られる。

【0059】一方、上記出力クロック発生回路20は、上記フレーム基準信号が一方の入力端子に入力される位

相比較器21、積分回路22及び電圧制御発振器23、分周器24、25、26を主要構成要素として有するPLL (Phase-Locked Loop) 回路であり、上記電圧制御発振器23にて出力クロック信号を生成する。この出力クロック信号は、CH1サンプルレート変換回路32及びCH2サンプルレート変換回路33に出力動作基準クロックとして供給されると共に、分周器24及び分周器25に送られる。

【0060】上記分周器24では、出力クロック信号を $1/2$ に分周し、当該 $1/2$ 分周クロックを、出力CH1オーディオ信号処理回路34及び出力CH2オーディオ信号処理回路35に送る。また、上記分周器25では、入力クロック信号を $1/512$ に分周し、当該 $1/512$ 分周クロックを分周器26に送る。

【0061】当該分周器26には、上記フレーム基準信号が $n_0$ 値として供給され、上記分周器25からの $1/512$ 分周クロックをさらに $1/n_0$ に分周する。すなわち当該 $n_0$ 値は、フレーム基準信号に対応してサンプリング周波数の各モード毎に決定されるサンプル数の値であり、図3に示すように、525/60システム (NTSC方式) の48kHzモードでは1601.6の値となり、32kHzモードでは1067.733の値となるものである。また、625/50システム (PAL方式) の48kHzモードでは1920の値となり、32kHzモードでは1280の値となるものである。上記分周器26からの $1/n_0$ 分周クロックは、上記フレーム基準信号が一方の入力端子に供給されている上記位相比較器21の他方の入力端子に送られる。

【0062】上記分周器24から出力CH1オーディオ信号処理回路34へ送られた $1/2$ 分周クロックは、当該出力CH1オーディオ信号処理回路34内の分周器53に送られる。この分周器53では、上記分周器24からの $1/2$ 分周クロックをさらに $1/4$ 分周した出力ビットクロックBCK<sub>0</sub>を生成する。この出力ビットクロックBCK<sub>0</sub>は、当該出力CH1オーディオ信号処理回路34内の分周器54及びインターリーブ回路51に送られると共に、出力CH2オーディオ信号処理回路35とCH1サンプルレート変換回路32及びCH2サンプルレート変換回路33に送られる。

【0063】上記出力CH1オーディオ信号処理回路34内の分周器54では、上記分周器53からの出力ビットクロックBCK<sub>0</sub>をさらに $1/64$ 分周して出力サンプリングクロックLRCK<sub>0</sub>を生成する。この出力サンプリングクロックLRCK<sub>0</sub>は、インターリーブ回路51に送られると共に、出力CH2オーディオ信号処理回路35とCH1サンプルレート変換回路32及びCH2サンプルレート変換回路33に送られる。

【0064】上述したように、本実施の形態のデジタル信号変換装置においては、入力CH1オーディオ信号処理回路30及び入力CH2オーディオ信号処理回路3

1と、CH1サンプルレート変換回路32の入力レート変換部32i及びCH2サンプルレート変換回路33の入力レート変換部33iとが、入力クロック発生回路10から発生した入力クロックに基づいて動作し、一方、出力CH1オーディオ信号処理回路34及び出力CH2オーディオ信号処理回路35と、CH1サンプルレート変換回路32の出力レート変換部32o及びCH2サンプルレート変換回路33の出力レート変換部33oとが、出力クロック発生回路20にてフレーム基準信号から生成した出力クロックに基づいて動作することにより、容易かつ装置構成の大型化及びコスト上昇を抑えた状態で、非同期モードDV信号を同期モードDV信号に変換することができる。また、非同期モードDV信号から同期モードDV信号への変換に、デジタル/アナログ変換やアナログ/デジタル変換を伴わないため、歪み、ノイズが発生せず、周波数特性の影響等も無く、音質劣化が発生することは殆ど無い。さらに、オーディオ信号のレベル変化、レベルバラツキ等の悪影響も無い。

【0065】上述した実施の形態では、入力されたデジタルオーディオ信号のチャンネル数や当該オーディオ信号に付属するオーディオモード等の各種制御信号、すなわちエンファシスのオン/オフを示す情報やステレオ/2カ国語、サンプリング周波数等を自動的に判別し、出力されるデジタルオーディオ信号に対してそれらチャンネル数や各種制御信号と同じものを自動的に付加する例を挙げているが、出力されるデジタルオーディオ信号に対して付加されるチャンネル数や各種制御信号を任意に変更する(手動による設定変更する)ことも可能である。

【0066】次に、上記図1に示したデジタル信号変換装置は、具体的には図4～図8に示すような構成のシステムに適用可能である。

【0067】図4に示す第1の具体的構成は、例えばDVエンコーダ61にて生成された非同期モードDV信号を、図1の構成を有する信号変換装置62にて同期モードDV信号に変換し、DV信号記録装置63にて記録媒体に記録するシステムである。すなわちこの図4において、DVエンコーダ61では、例えばL(左)、R

(右)チャンネルのアナログオーディオ信号とアナログビデオ信号とから、DVフォーマットのデジタルオーディオ信号及びデジタルビデオ信号からなる非同期モードDV信号を生成する。信号変換装置62は、前記図1に示す構成を有し、上記DVエンコーダ61からの非同期モードDV信号を同期モードDV信号に変換する。DV信号記録装置63は、上記信号変換装置62から供給された同期モードDV信号を、例えばビデオテープやディスク等に記録する。

【0068】図5に示す第2の具体的構成は、DV記録テープ再生装置64にて例えばビデオテープから再生された非同期モードDV信号を、図1の構成を有する信号

変換装置62にて同期モードDV信号に変換し、DV信号記録装置63にて記録媒体に記録するシステムである。すなわちこの図5において、DV記録テープ再生装置64では、非同期モードDV信号が記録されたビデオテープから当該非同期モードDV信号を再生する。信号変換装置62は、前記図1に示す構成を有し、上記DV記録テープ再生装置64からの非同期モードDV信号を同期モードDV信号に変換する。DV信号記録装置63は、上記信号変換装置62から供給された同期モードDV信号を、例えばビデオテープやディスク等に記録する。

【0069】図6に示す第3の具体的構成は、DV記録テープ再生部66と図1に示した構成からなる信号変換部67とを一体化した装置65である。すなわちこの図6に示す装置65では、装置内部に設けられたDV記録テープ再生部66が例えばビデオテープから再生した非同期モードDV信号を、同じく装置内部の信号変換部67にて同期モードDV信号に変換し、外部に出力する。

【0070】図7に示す第4の具体的構成は、図1に示した構成からなる信号変換部67とDV信号記録部69とを一体化した装置68である。すなわちこの図7に示す装置68において、装置内部に設けられた信号変換部67には、外部から非同期モードDV信号が供給され、当該信号変換部67では、この非同期モードDV信号を同期モードDV信号に変換する。当該同期モードDV信号は、同じく装置内部に設けられているDV信号記録部69にて例えばビデオテープやディスク等に記録される。

【0071】図8に示す第5の具体的構成は、DV記録テープ再生部66と信号変換部67とDV信号記録部69とを一体化した装置70である。すなわちこの図8に示す装置70において、装置内部に設けられたDV記録テープ再生部66が例えばビデオテープから再生した非同期モードDV信号を、同じく装置内部の信号変換部67にて同期モードDV信号に変換する。当該信号変換部67にて生成された同期モードDV信号は、同じく装置内部に設けられているDV信号記録部69にて例えばビデオテープやディスク等に記録される。

【0072】上述したように、本実施の形態のデジタル信号変換装置は、DV信号記録再生装置と共に使用可能であり、したがって、例えば非同期モードDV信号のオーディオ信号に対して任意の編集操作を施し、当該編集後のデジタルオーディオ信号をデジタルビデオ信号と共に記録媒体に記録するようなことを考えた場合においても、デジタルビデオ信号とデジタルオーディオ信号を容易に同期させることができ、オーディオ信号のサンプル数とビデオ信号のフレームの区切りとを合わせることができるので、良好な編集が可能となる。なお、当該編集の一例としては、前述したように、ビデオテープ等の記録媒体に既に記録されているオーディオ信

号のレベルを次第に絞っていくような編集、すなわち例えば先行ヘッドによってビデオテープから再生したオーディオ信号に対して次第にレベルを減少させるようなデジタル係数を乗じ、その後、ビデオ信号と多重化して主ヘッドによってビデオテープに記録し直すような編集などが考えられる。

【0073】

【発明の効果】以上の説明で明らかなように、本発明のデジタル信号変換装置においては、第1のデジタル信号に非同期の第2のデジタル信号から生成した第1のクロック信号を、レート変換の入力基準クロックとし、一方、レート変換の出力基準クロックは第1のデジタル信号の基準信号に基づいて生成しているので、第1のデジタル信号に非同期であった第2のデジタル信号を、当該第1のデジタル信号に同期させることができ、したがって、例えばIEEE1394規格に準拠したDVフォーマットのように、デジタルビデオ信号に対して非同期のデジタルオーディオ信号を、デジタルビデオ信号に容易に同期させることが可能であり、音質劣化の防止と、装置構成の大型化及びコスト上昇を抑えることが可能となる。

【図面の簡単な説明】

【図1】本発明実施の形態のデジタル信号変換装置の概略構成を示すブロック回路図である。

【図2】ni値の説明に用いる図である。

【図3】no値の説明に用いる図である。

【図4】本実施の形態のデジタル信号変換装置が適用される第1の具体的構成例を示すブロック回路図である。

【図5】本実施の形態のデジタル信号変換装置が適用される第2の具体的構成例を示すブロック回路図である。

【図6】本実施の形態のデジタル信号変換装置が適用される第3の具体的構成例を示すブロック回路図である。

【図7】本実施の形態のデジタル信号変換装置が適用される第4の具体的構成例を示すブロック回路図である。

【図8】本実施の形態のデジタル信号変換装置が適用される第5の具体的構成例を示すブロック回路図である。

【図9】IEEE1394規格に準拠する信号フォーマットにおける1ビデオフレームのデータ構造の説明に用いる図である。

【図10】IEEE1394規格に準拠する信号フォーマットにおけるパケット構造の説明に用いる図である。

【図11】IEEE1394規格に準拠する信号フォーマットにおけるフレーム同期の説明に用いる図である。

【図12】IEEE1394規格に準拠する信号フォーマットのデジタルビデオ信号及びデジタルオーディ

オ信号を記録再生するデジタルビデオレコーダの概略構成を示すブロック回路図である。

【図13】IEEE1394規格に準拠するオーディオ信号のフォーマット説明に用いる図である。

【図14】DVフォーマットにおけるサンプリング周波数の違いによるモードの説明に用いる図である。

【図15】DVCAMフォーマットにおけるサンプリング周波数の違いによるモードの説明に用いる図である。

【図16】DVCAMフォーマットにおけるオーディオ信号のサンプリング周波数と水平ビデオ周波数の関係説明に用いる図である。

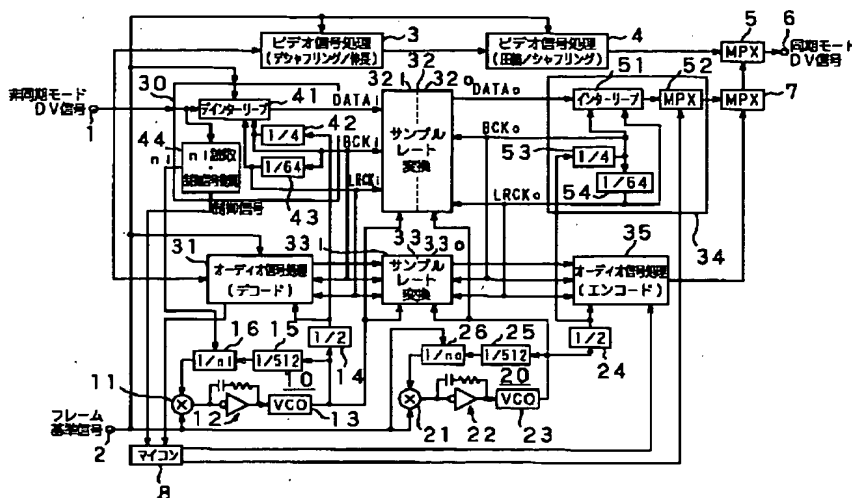
【図17】オーディオ補助データ（コード情報）の説明に用いる図である。

【図18】チャンネルCH1とチャンネルCH2のAF S I Z Eの説明に用いる図である。

【符号の説明】

3 入力ビデオ信号処理回路、 4 出力ビデオ信号処理回路、 5, 6, 52 マルチプレクサ、 8 マイクロコンピュータ、 10 入力クロック発生回路、 20 出力クロック発生回路、 11, 21 位相比較器、 12, 22 積分回路、 13, 23 電圧制御発振器、 14, 15, 16, 24, 25, 26, 42, 43, 53, 54 分周器、 30 入力CH1オーディオ信号処理回路、 31 入力CH2オーディオ信号処理回路、 32 CH1サンプルレート変換回路、 33 CH2サンプルレート変換回路、 34 出力CH1オーディオ信号処理回路、 35 出力CH2オーディオ信号処理回路、 41 デインターリーブ回路、 44 ni読み取り・制御信号復調回路、 51 インターリーブ回路

【図1】



【図2】

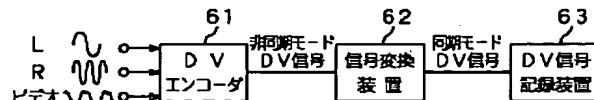
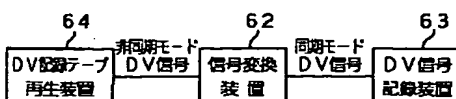
モード		サンプル/フレーム	
		最大	最小
525/60システム	48kモード	1620	1580
	44.1kモード	1489	1452
	32kモード	1080	1053
625/50システム	48kモード	1944	1896
	44.1kモード	1786	1742
	32kモード	1296	1264

【図3】

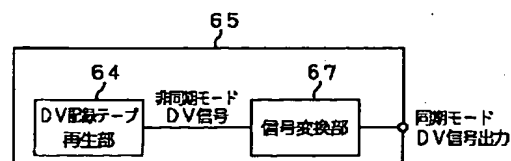
【図4】

モード	サンプル/フレーム
525/60システム	48kモード $1601.6 (= \frac{1600+4 \times 1602}{5 \text{ フレーム}})$
	32kモード $1067.733 (= \frac{2 \times 1066 + 13 \times 1068}{15 \text{ フレーム}})$
625/50システム	48kモード 1920
	32kモード 1280

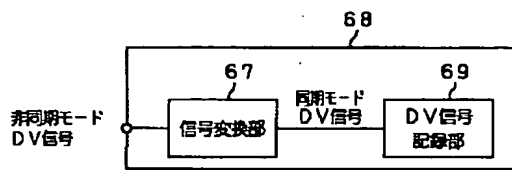
【図5】



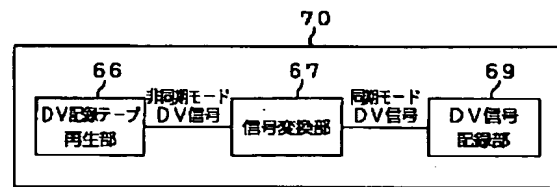
【図6】



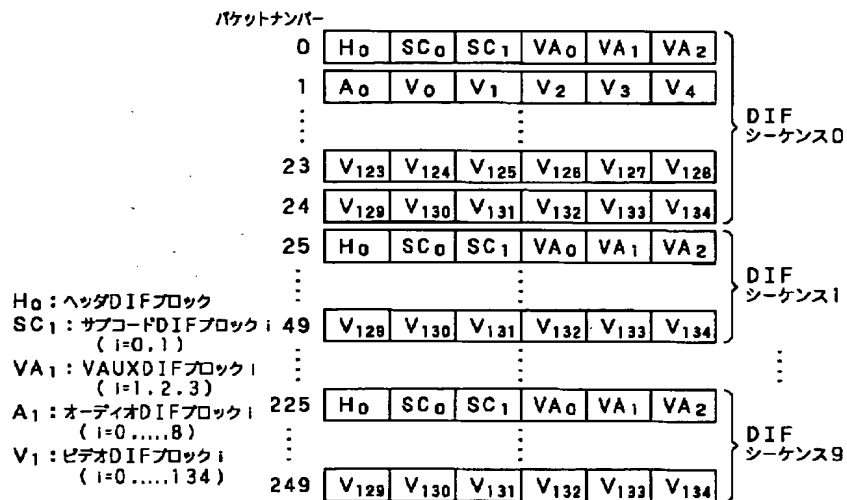
【図7】



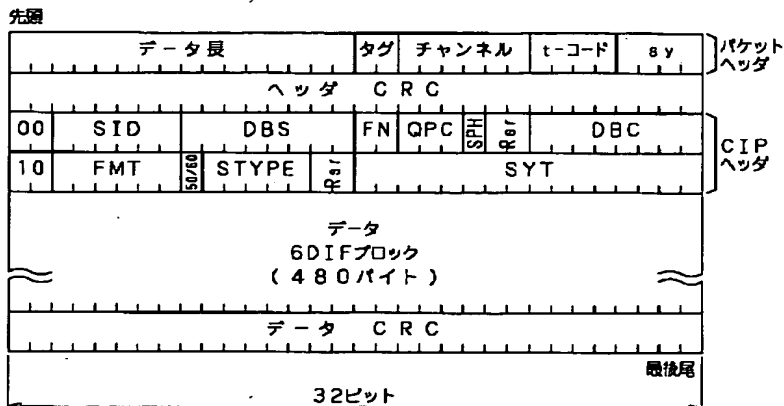
【図8】



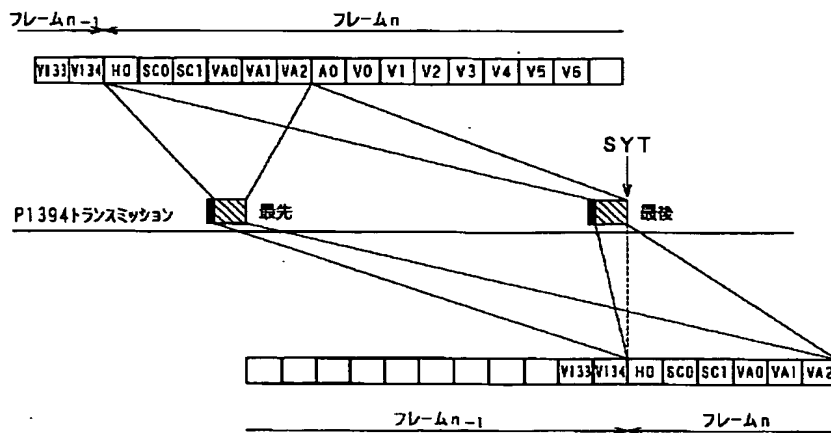
【図9】



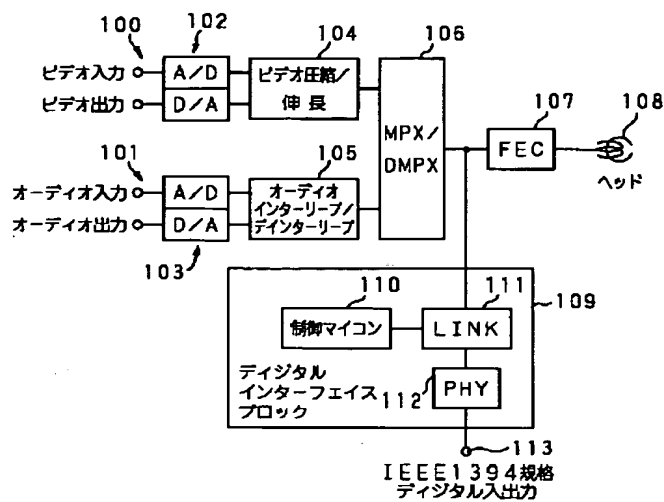
【図10】



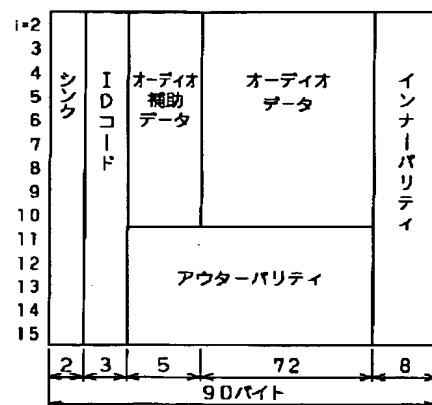
【図 11】



【図 12】



【図 13】



【図 14】

モード		サンプル(バイト)/フレーム		
		最大	最小	平均
525/60 システム	48kモード	1620(3240)	1580(3160)	1601.6(3203.2)
	44.1kモード	1489(2978)	1452(2904)	1471.47(2942.94)
	32kモード	1080(2160)	1053(2106)	1067.73(2135.47)
	32k-4chモード	1080(3240)	1053(3159)	1067.73(3203.2)
625/50 システム	48kモード	1944(3888)	1896(3792)	1920(3840)
	44.1kモード	1786(3572)	1742(3484)	1764(3528)
	32kモード	1296(2592)	1264(2528)	1280(2560)
	32k-4chモード	1296(3888)	1264(3792)	1280(3840)

【図 15】

モード		サンプル(バイト)/フレーム	
525/60 システム	48kモード	1フレーム	: 1600
		2~5フレーム	: 1602
	32k-4chモード	1,8フレーム	: 1066
		2~7,9~15フレーム	: 1068
625/50 システム	48kモード	オールフレーム : 1920	
	32k-4chモード	オールフレーム : 1280	

【図16】

48Kモード	$f_s = f_H \times \frac{1144}{375}$ (525/60システム)
	$f_s = f_H \times \frac{384}{125}$ (625/50システム)
32K-4chモード	$f_s = f_H \times \frac{2288}{1125}$ (525/60システム)
	$f_s = f_H \times \frac{256}{125}$ (625/50システム)

【図18】

	32 kHz	44.1 kHz	48 kHz
525/60システム	14	19	20
625/50システム	16	22	24

【図17】

AAUX 0 SOURCE									
PC0	0	1	0	1	0	0	0	0	0
PC1	LF	1						AF SIZE	
PC2	SM	CHN	PA					AUDIO MODE	
PC3	1	ML	ST					STYPE	
PC4	EF	TC	SMP					QU	

AAUX 4 BINARY GROUP

PC0	0	1	0	1	0	1	0	0	0
PC1	BINARY GROUP 2				BINARY GROUP 1				
PC2	BINARY GROUP 4				BINARY GROUP 3				
PC3	BINARY GROUP 6				BINARY GROUP 5				
PC4	BINARY GROUP 8				BINARY GROUP 7				

AAUX 1 SOURCE CONTROL

PC0	0	1	0	1	0	0	0	0	1
PC1	CGMS	ISR	CMP	SS					
PC2	REF	REC	REC MODE	INSERT CH					
PC3	DRF			SPEED					
PC4	1			GENRE CATEGORY					

AAUX 5 CLOSED CAPTION

PC0	0	1	0	1	0	1	0	1	0
PC1	1	1			MAIN AUDIO LANGUAGE			MAIN AUDIO TYPE	
PC2	1	1			SECOND AUDIO LANGUAGE			SECOND AUDIO TYPE	
PC3	1	1	1	1	1	1	1	1	1
PC4	1	1	1	1	1	1	1	1	1

AAUX 2 REC DATE

PC0	0	1	0	1	0	0	1	0	0
PC1	DS	TM	TIME	ZONE	TIME	ZONE			
PC2	1	1	DAY	MONTH	DAY	MONTH			
PC3	WEEK	YEAR	YEAR	MONTH	YEAR	MONTH			
PC4	YEAR	YEAR	YEAR	MONTH	YEAR	MONTH			

AAUX 6 TB: Transparent

PC0	0	1	0	1	0	1	1	0	0
PC1								DATA TYPE	
PC2								DATA	
PC3									
PC4									

AAUX 3 REC TIME

PC0	0	1	0	1	0	0	1	1	1
PC1	S2	S1	FRAMES	FRAMES					
PC2	S3	SECONDS	SECONDS						
PC3	S4	MINUTES	MINUTES						
PC4	S6	S5	HOURS	HOURS					

フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 4 N 7/045

7/24